컴퓨터 공학 기초 설계 및 실험1

예비 보고서

실험제목 : Asynchronous/synchronous counter circuit

실험일자: 2018년 04월 05일 (목)

제출일자: 2018년 04월 12일 (목)

학 과: 컴퓨터정보공학부

담당교수: 이준환

실습분반: 목요일(0,1,2)

학 번: 2015722025

성 명: 정용훈

예비보고서

1. 제목 및 목적
   1. 제목

Asynchronous/synchronous counter circuit

* 1. 목적

비동기 계수회로와 동기 계수회로의 개념과 원리를 알 수 있으며 계수회로의 종류는 무엇이 있고 각각의 회로의 원리와 작동 방법을 알 수 있으며 플리플롭을 응용 할 수 있는 능력을 키울 수 있다.

1. 원리(배경지식)

비동기식 계수회로와 동기식 계수회로를 알기전에 계수회로가 무엇인지 알아야 한다.

* 1. 계수회로

계수회로란 클럭 신호에 의해 정해진 순서에 따라 플립플롭의 회로의 상태가 변하는 것을 이용하여 그에 맞는 값을 출력 할 수 있는 회로이다. 기본적으로는 2진수로 표현 할 수 있으며 일반적으로 Falling edge를 기준으로 작도하며 플립플롭의 소자 개수에 따라 정보량을 결정 할 수 있습니다. 또한 주기적인 신호의 개수를 셀 수 있기에 시간을 계산할 수 있으며 이러한 이유로 인해 디지털 회로 설계에서 매우 중요한 역할을 하고 있다.

* 1. 비동기 계수회로

비동기 계수회로는 2진 카운터의 비트 수 만큼 플리플롭들을 직렬로 배치하며 맨 첫 단 플리플롭이 클럭 입력 단자에 외부 클럭 신호 CP를 입력으로 하고 두 번째 플리플롭 부터는 각 단의 앞쪽 플리플롭의 출력을 다음 플립플롭의 CP 입력 신호로 사용하게 된다. 구조적으로는 직렬로 연결 해주는 형태로 설계되며 앞에서는 처리된 신호를 input으로 받기 때문에 직렬로 연결된 다음 플리플롭에 바로 영향을 주지 않고 다음 엣지에서 신호가 처리된다. 비동기 카운터(비동기 계수회로)를 설계 할 경우 모든 플립플롭의 클럭 펄스는 하강 엣지에서 동작 되도록 해야 하므로 CP앞에 인버터를 달아주게 된다.

* 1. 비동기 가산, 감산 계수회로

비동기 가산 계수회로는 클럭펄스가 들어 올 때 마다 증가하는 방향으로 셀 수 있는 계수회로를 뜻한다. J=1, K=1 신호를 모두 넣어주어서 각 플립플롭이 모두 Toggle 기능만을 수행하게 한 후 첫 번째 플립플롭에 클럭신호가 들어가면 Q값이 출력되게 되고 그 Q값이 다음 사이클 (falling edge)에서 다음 플립플롭을 동작시키게 된다. 다음 falling edge에서 동작하게 되는 이유는 플립플롭은 edge에서만 값의 업데이트가 있는데, 작동하기 전 edge에서 값을 입력 받고, 그 다음 edge에서 값이 업데이트 되어 작동되기 때문이다. 마찬가지로, 처음 플립플롭과 그 다음 플립플롭이 모두 두번씩 Toggle되게 되면, 그 다음 플립플롭에 신호가 전달되게 된다.

다음으로 비동기 감산 계수회로이다. 비동기 감산 계수회로란 클럭펄스가 들어 올 때 마다 감소하는 방향으로 셀 수 있는 계수회로를 말하며, 비동기 가산 계수회로와의 차이점은 앞의 플립플롭의 출력값(Q) 대신에 Q’가 다음 플립플롭의 CLK로 전달 되는 것이다. 두 계수 회로 모두 n개의 플립플롭의 직렬로 연결하게 되면, 한 개의 플립플롭당 2가지 경우를 만들 수 가 있으므로 (2의 n승) 가지의 출력을 나타낼 수 있으며, 10진수로의 최고 수는 (2의 n-1승)이 된다.

비동기 카운터의 장점은, 하드웨어가 비교적으로 간단하다는 것에 있다. 조합논리회로가 필요 없다는 것이 이유이다. 단점으로는 마지막 플립플롭의 신호가 앞의 플립플롭의 신호에 나오기 때문에 Time delay가 크다는 것이다. 그렇기 때문에 높은 주파수 신호 처리와, 높은 비트수의 카운터로 부적합 하다. 만약 카운터가 크거나 클럭이 빠르면 다음 하강 dege가 지나고서도 최종 상태에 도달하지 못 할 수 있기 때문이다.

* 1. 비동기 가감산 계수회로

비동기 가감산 계수회로는 가산 계수회로와 감산 계수회로를 결합하여 나타낸 형태이다. 첫 번째 플립플롭의 출력 값과 UP값을 AND게이트로 계산하고 Q’와 Down값을 AND 게이트로 계산한 후 각각의 출력 값을 OR 시켜 다음 플립플롭에 전달하는 형태이다. 때문에 UP , Down이 1 , 0이면 증가카운터로 동작하고 0 , 1이면 감소카운터로 동작한다. 이렇게 신호를 선택하여 가산계수회로 혹은 감산 계수회로 선택 동작 시킬 수 있는 회로를 말한다.

* 1. 비동기 10진 계수회로

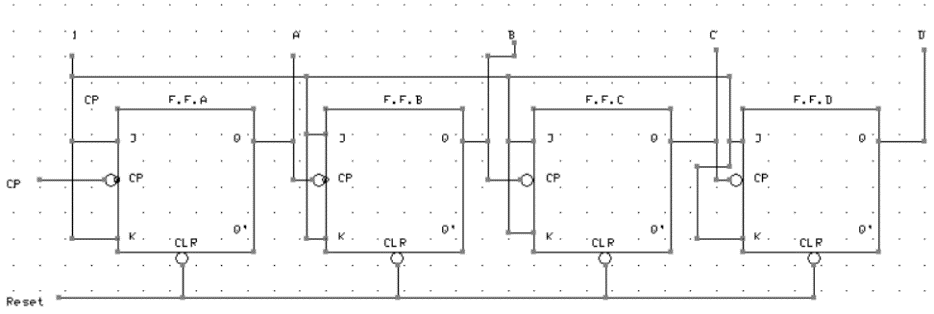
0에서 9까지 10개의 상태를 순차적으로 증가하고 9에서 0으로 재순환 하는 카운터 이다. 10개의 상태를 나타내는데 최소 4비트가 필요하므로 비동기 10진수 계수회로를 구성하려면 4개의 플립플롭이 필요하다. 그러나 4개의 플립플롭을 사용하면 최대 16개의 수를 나타낼 수 있으므로 이 회로는 16개의 상태 중에서 10개의 상태 만을 사용하는 카운터 이다. 비동기 10진 계수회로의 설계를 2진 순서에서 9 다음에 모든 플립플롭이 0이 되게 하는 방법과 순차적으로 9다음에 0이 되게 하는 방법이 있다.

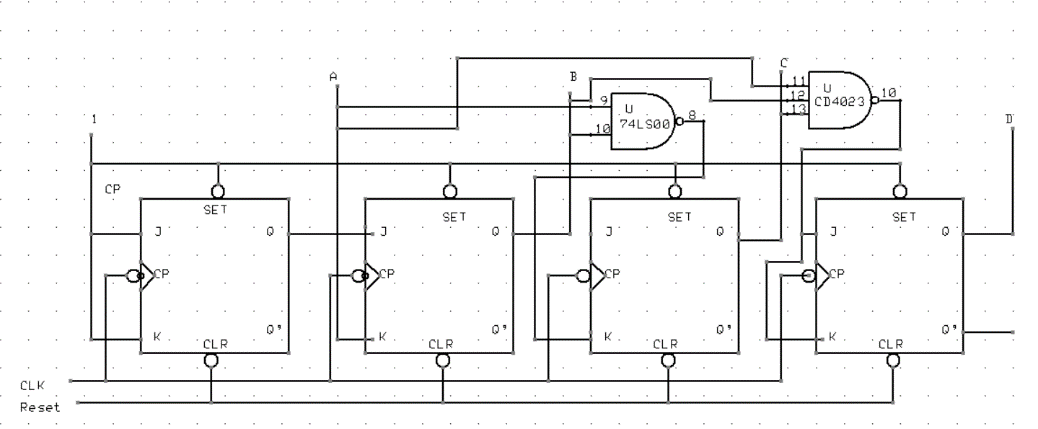
* 1. 동기 계수회로

동기 계수 회로는 클럭 펄스가 모든 플립플롭의 CP 입력에 연결되며, 공통의 클럭 펄스는 동시에 모든 플립플롭을 동작시키고, 특정 플립플롭의 상태 변화는 다른 플립플롭의 현재 상태에서 영향을 받는다. 동기식 카운터는 순차 논리회로의 설계에 따라 ㅅㅓㄹ계할 수 있으며, 동기 카운터에서는 카운터가 동작할 때, 플립플롭의 전파 지연 시간이 없기 때문에 정확한 카운터를 설계할 때 이용된다.

* 1. 동기 10진 카운터

동기 10진 카운터란 0에서 9까지 10개의 상태를 순차적으로 계수하고 9에서 0으로 재순환 하는 카운터이다. 동기식 10진 카운터는 J-K플립플롭, 또는 T플립플롭을 사용하여 설계 할 수 있고 순차 논리 회로의 설계 과정을 거쳐 구현 할 수 있다.





위에 그림은 비동기 계수회로와 동기 계수회로를 순서대로 나열 한 것이다.

1. 참고문헌

계수회로

<http://physcience.tistory.com/17>

<http://www.a24s.com/data/jeongbotongsinhakseub/junja/junja_8/junja8-8.html>

오창환 / 디지털 논리회로 이해 / 한국학술정보 / 2013

이원석 / 논리회로실험 / 생능 / 2010

김성락, 남시병, 임해진, 김종익 공저 / 논리 회로 시스템 / 정익사 / 2011

회로도는 회로도 프로그램을 이용해서 그렸습니다.